

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01096573 A**(43) Date of publication of application: **14.04.89**

(51) Int. Cl.

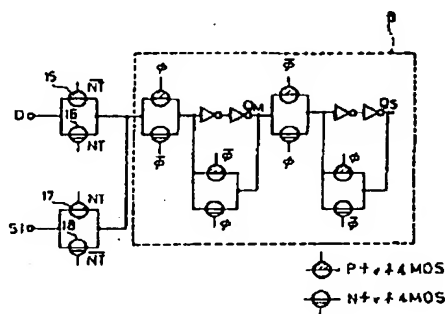
G01R 31/28
H01L 21/66
(21) Application number: **62252511**(22) Date of filing: **08.10.87**(71) Applicant: **MATSUSHITA ELECTRON CORP**
 (72) Inventor: **CHIMURA MORIYUKI**
OTANI KAZUHIRO
(54) **INTEGRATED CIRCUIT**

(57) Abstract:

PURPOSE: To perform a scan test by only a single switching signal by adding a simple switching control circuit to a general flip-flop (FF).

CONSTITUTION: A part B surrounded by a broken line is a circuit of a usual master slave type FF. To a circuit of this part B, two CMOS transmission gate switches consisting of transistors 15W18 are added in parallel. According to such a circuit constitution, a special clock is not required, and an operation mode and a scan mode can be switched easily by one control signal NT. That is, in the operation mode, a data input signal D is inputted to the FF, when the signal NT is in a high level, namely, at the time of the operation mode. On the other hand, in the scan mode, as for a scan signal SI, when the NT is in a low level, namely, at the time of the scan mode, its data is inputted to the FF, and sent into the FF of the next stage.

COPYRIGHT: (C)1989,JPO&Japio



⑫ 公開特許公報(A)

平1-96573

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)4月14日

G 01 R 31/28

W-6912-2G

G-6912-2G

H 01 L 21/66

Z-6851-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 集積回路

⑭ 特 願 昭62-252511

⑮ 出 願 昭62(1987)10月8日

⑯ 発 明 者 千 村 盛 幸 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑯ 発 明 者 大 谷 一 弘 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑰ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑱ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 集積回路

2. 特許請求の範囲

(1) 回路内の全てのフリップフロップをシフトレジスタ形式に接続し、このフリップフロップへのデータの書き込み、読出しによって集積回路をスキャンテストするに際し、マスタ・スレーブ形フリップフロップの入力部に、データ入力信号とスキャン入力信号とをモード切換信号により切換制御する回路を付加したことを特徴とする集積回路。

(2) 動作モードのデータ入力信号とテストモードのスキャン入力信号との切換制御は外部端子を通じて行ない、かつフリップフロップの制御は、動作モード、テストモードにかかわらず同一のクロックにて行なうことを特徴とする特許請求の範囲第(1)項記載の集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、いわゆるスキャンテストを、1端子

から導入した制御信号により可能にした集積回路に関するものである。

(従来の技術)

従来のスキャンテストについて、第3図及び第4図を用いて説明する。

第3図は、通常のフリップフロップにスキャンテストに必要なシフトレジスタ動作回路A部を付加したもので、スキャンフリップフロップの一般形である。この回路で付加したA部は、通常のCMOSトランスマッションゲートスイッチであり、それ以外は一般のマスタ・スレーブ形フリップフロップである。

この回路の基本動作は、シフトモードでは、入力端子2からのスキャン入力信号SIにより前段の信号を取り込み、クロックφ_rによりトランスマッションゲート5、6を介してマスタ部分に送り、クロックφ_sでトランスマッションゲート10、11を介してスレーブ部分に送り、その出力Q_sを次段のSIの入力信号として送り込む。このようにして、一連のシフトレジスタチェーンは全て任意の値が

クロック ϕ_r 、 ϕ_s によりセットできる。

次に、一連のシフトレジスタが全てセットされた後、テストモードクロック ϕ_r 、 ϕ_s でCMOSトランスミッションゲート5、6をオフにし、マスタ用クロック ϕ_m によってCMOSトランスミッションゲート3、4をオンにし、内部組合せ回路の出力をデータ入力端子1より取り込み、マスタフリップフロップの出力端子7に出力 Q_m として取り込まれる。

次に再び、テストモードクロック ϕ_r とノーマル/スキャンモードクロック ϕ_s とにより、CMOSトランスミッションゲート5、6と同10、11とをそれぞれオン、オフすることによりマスタ用クロック ϕ_m で取り込んだデータをシフトレジスタ(フリップフロップ)チェーンを通して送り、スレーブフリップフロップの出力端子14の出力 Q_s でその結果をモニタする。

このような一連の動作、即ち、端子2へのスキャン入力信号SI、CMOSトランスミッションゲート5、6へのテストモードクロック ϕ_r 、CM

ϕ_m 、 ϕ_r 、 ϕ_s も必要となる。

従って、従来方式では、

- (1) 3種のクロックが必要で、しかもそれらの反転クロックをスキャンフリップフロップ内か、クロック発生器で作らなければならない。
- (2) 上記クロックのためのクロック発生器が必要になる。
- (3) 多くのクロックラインが回路上を走るのでチップ面積が増加する。

等の問題があった。

本発明は、上記の問題点を解決するもので、最小限の制限、つまり、単一の切換信号のみでスキャンテストを実施することのできる集積回路を提供することを目的とするものである。

(問題点を解決するための手段)

この目的を達成するために、本発明は、マスタ・スレーブ形フリップフロップの入力部に、それぞれモード切換用信号で制御されるトランスミッションゲートを介してデータ入力信号とスキャン入力信号とを並列入力し得る回路を設けたものであ

る。OSトランスミッションゲート10、11へのノーマル/スキャンモードクロック ϕ_s 及びスレーブフリップフロップの出力信号 Q_s により回路上の全てのフリップフロップの値を任意にセットし、これらの値を使って組合せ回路をチェックし、その結果を入力端子1へのデータDの入力及びCMOSトランスミッションゲート3、4へのマスタ用クロック ϕ_m 、 ϕ_r により再びフリップフロップに取り込み、その結果を出力端子でモニタすることにより、回路上に存在する全ての組合せ回路のチェックをすることができる。

(発明が解決しようとする問題点)

しかしながら、上記のように、クロックを制御して行なう従来のスキャンテストは、第4図に示したように、多種類のクロック(ここでは ϕ_m 、 ϕ_r 、 ϕ_s の3種)が必要になり、このためクロック発生器が必要となる。また、これら3種のクロック用配線が集積回路全体に配置されなければならない。しかもCMOS回路では、当然のことながら、各クロック信号 ϕ_m 、 ϕ_r 、 ϕ_s の反転信号

る。

(作用)

上記構成によれば、マスタ・スレーブ形フリップフロップからなるスキャンフリップフロップへの入力信号を単一のコントロール信号で制御することにより、従来方式に比べて大幅な回路の簡素化が図られる。

(実施例)

第1図は、本発明の一実施例の回路構成を示し、第2図は、その動作に必要なクロックのタイミング及びスキャンモードと動作モードとの切換信号を示したものである。

第1図において、破線で囲んだB部は通常のマスタ・スレーブ形フリップフロップの回路である。本発明は、このB部の回路に、トランジスタ15、16、17、18からなる二つのCMOSトランスミッションゲートスイッチを図のように並列に付加したものである。このような回路構成により、従来方式に比べて特別なクロックを必要とせず、1つのコントロール信号MT(この信号は外部からコ

ントロールのできる切換信号)で容易に動作モードとスキャンモードの切換が可能となる。第1図で、動作モードにおけるデータ入力信号Dは、切換制御信号NTがハイレベル、即ち動作モードのとき、フリップフロップに取り込まれ、一方、スキャンモードでは、スキャン信号SIは、NTがロウレベル、即ちスキャンモードのとき、このデータがフリップフロップに取り込まれ、次段のフリップフロップに送り込まれる。

(発明の効果)

以上のように、本発明によれば、一般的なフリップフロップに単純な切換制御回路、例えば一對のトランスマッションゲートを介してデータ入力信号とスキャン入力信号とを切り換え得る回路を付加することにより、特別なクロックの追加、クロック発生器の追加なしに、スキャン用フリップフロップ内蔵の集積回路を実現することが可能になる。

4. 図面の簡単な説明

第1図は、本発明の一実施例の回路図、第2図

は、同各部信号のタイムチャート、第3図は、従来例の回路図、第4図は、同各部信号のタイムチャートである。

B ... マスタ・スレーブ形フリップフロップ回路、 15,16,17,18 ... 二つのCMOSトランスマッションゲートスイッチを構成するトランジスタ、 NT ... モード切換信号。

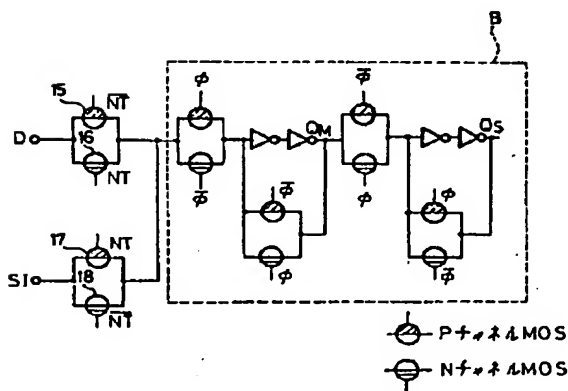
特許出願人 松下電子工業株式会社

代理人 星 野 恒

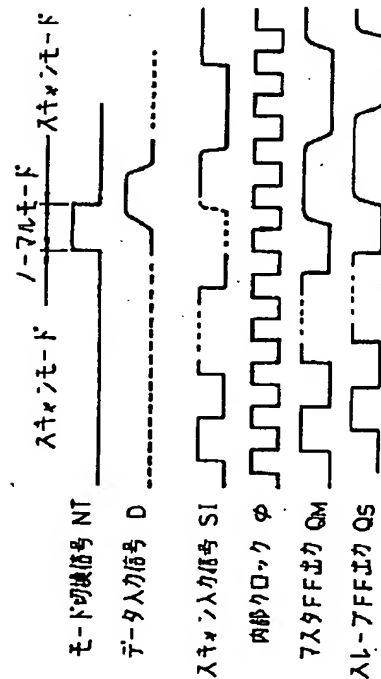
岩 上 昇



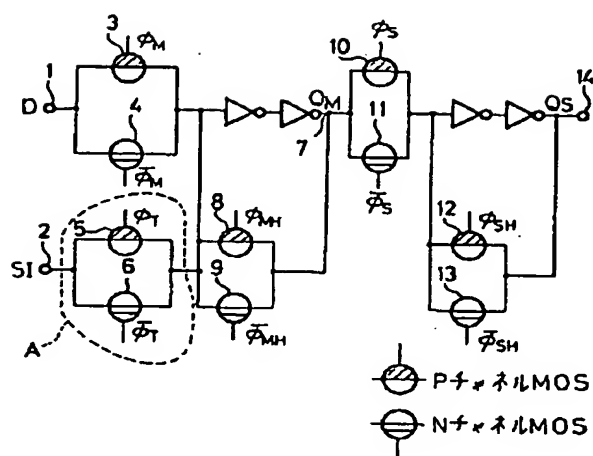
第 1 図



第 2 図



第 3 図



區 7 館

